DDR技术调研报告

2015K8009907010 勾凌睿

1. **缘起**

计算机自诞生以来经历了不断发展的过程。1946年冯诺依曼体系结构提出以后，一直为多数计算机所使用。在此体系结构下，存储器作为计算机必不可少的组成部分，其容量和性能对于计算机的整体性能起到了决定性作用。因此，如何提升存储器尤其是主存的性能，成了硬件领域的一项头等大事。在此背景下，新的存储技术不断被发明，同时新的标准也不断被提出。其中内存领域主要使用DRAM存储，即动态随机存取存储器。自三星1993年提出SDRAM开始，SDRAM逐渐成为市场主流。到了二十世纪末，仍占领市场的SDRAM内存已不能满足逐渐发展的软件对硬件带来的要求。加上CPU主频的不断提高，SDRAM内存已经成为了制约整机性能的瓶颈，这就为新的内存标准的制定提出了要求。在此阶段出现了两种解决方案，由此也诞生了两大阵营。一是由Intel为首的Rambus阵营，二是以VIA威盛为首的DDR阵营[[1]](#endnote-1)。Rambus阵营提出了采用高速串行技术的Rambus DRAM，即RDRAM；而DDR阵营则在SDRAM的基础上继续发展，提出了DDR SDRAM，即Double Data Rate SDRAM，因此DDR SDRAM可以算作第二代的SDRAM。此后的几代DDR SDRAM也可看作更新的SDRAM标准。

1. **DDR SDRAM中运用的主要技术[[2]](#endnote-2)**

顾名思义，DDR SDRAM是双倍数据速率的SDRAM，其主要通过以下技术实现：

1. **双沿传输技术**

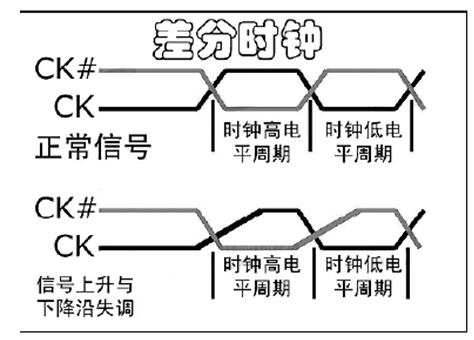
这也是DDR技术名称的由来。有别于第一代SDRAM，采用此技术的SDRAM在时钟的上升沿和下降沿都可以传输数据。这样在核心频率不变的前提下，可以将实际频率提升到原来的两倍，达到200~400MHz。

1. **2位预取技术**

正是依靠这一点，DDR SDRAM才能实现双沿传输。在读取时，L-Bank在内部时钟信号的触发下一次传送两倍芯片位宽的数据给读取锁存器，再分成两路一倍位宽的数据传给复用器，由后者将它们合并为一路一倍位宽的数据流，然后由发送器在DQS的控制下在外部时钟上升与下降沿分两次传输一倍位宽的数据给北桥。

1. **差分时钟**

DDR SDRAM中有着差分时钟的设计，在常规的时钟信号CK之外，还有着另一个称为CK#的信号。它不是第二个触发时钟，而是起到触发时钟校准的作用。由于数据在上升沿和下降沿都要传输，传输周期缩短一半，故必须保证传输周期的稳定性。因此上下沿间距需要有精确的控制。但因为温度、电阻性能的改变等原因，CK上下沿间距可能发生变化，此时与其反相的CK#就起到纠正的作用（CK上升快下降慢，CK#则是上升慢下降快，这样两者在上升和下降沿就会产生区别）。



1. **DQS信号**

DQS是DDR SDRAM中的重要功能，它的功能主要用来在一个时钟周期内准确的区分出每个传输周期，并便于接收方准确接收数据。每一颗芯片都有一个DQS信号线，它是双向的，在写入时它用来传送由北桥发来的DQS信号，读取时，则由芯片生成DQS向北桥发送。完全可以说，它就是数据的同步信号。

在读取时，DQS与数据信号同时生成（也是在CK与CK#的交叉点）。而DDR内存中的CL也就是从CAS发出到DQS生成的间隔，数据真正出现在数据I/O总线上相对于DQS触发的时间间隔被称为tAC。注意，这与SDRAM中的tAC的不同。实际上，DQS生成时，芯片内部的预取已经完毕了，tAC是指上文结构图中灰色部分的数据输出时间，由于预取的原因，实际的数据传出可能会提前于DQS发生（数据提前于DQS传出）。由于是并行传输，DDR内存对tAC也有一定的要求，对于DDR266，tAC的允许范围是±0.75ns，对于DDR333，则是±0.7ns，有关它们的时序图示见前文，其中CL里包含了一段DQS的导入期。

1. **DDR2 SDRAM [[3]](#endnote-3)**

经过一段时间，DDR SDRAM也逐渐不能满足需求。但由于DDR阵营已经占据了主导地位，连另一阵营的领导者Intel也倒戈，开始在自家主板上加入支持DDR SDRAM的芯片组，下一代的内存标准DDR2 SDRAM的提出已经成为大势所趋。JEDEC在2003年标准化了DDR2技术规格，随后便逐渐出现了各种品牌的DDR2 SDRAM产品。相比DDR SDRAM，除预取位数提升以外，DDR2 SDRAM中有一些新技术，包括：

1. **OCD（Off-Chip Driver）：**

也就是所谓的离线驱动调整，DDR2通过OCD可以提高信号的完整性。DDR2通过调整上拉（pull-up）/下拉（pull-down）的电阻值使两者电压相等。使用OCD通过减少DQ-DQS的倾斜来提高信号的完整性；通过控制电压来提高信号品质。

1. **ODT**：

ODT 是内建核心的终结电阻器。我们知道使用DDR SDRAM的主板上面为了防止数据线终端反射信号需要大量的终结电阻。它大大增加了主板的制造成本。实际上，不同的内存模组对终结电路的要求并不相同，终结电阻的大小决定了数据线的信号比和反射率，终结电阻小则数据线信号反射低但是信噪比也较低；终结电阻高，则数据线的信噪比高，但是信号反射也会增加。因此主板上的终结电阻并不能非常好的匹配内存模组，还会在一定程度上影响信号品质。DDR2可以根据自己的特点内建合适的终结电阻，这样可以保证最佳的信号波形。使用DDR2不但可以降低主板成本，还得到了最佳的信号品质，这是DDR不能比拟的。

1. **Post CAS：**

它是为了提高DDR2内存的利用效率而设定的。在Post CAS操作中，CAS信号（读写/命令）能够被插到RAS信号后面的一个时钟周期，CAS命令可以在附加延迟（Additive Latency）后面保持有效。原来的tRCD（RAS到CAS和延迟）被AL（Additive Latency）所取代，AL可以在0，1，2，3，4中进行设置。由于CAS信号放在了RAS信号后面一个时钟周期，因此ACT和CAS信号永远也不会产生碰撞冲突。

除了采用上述三个新技术之外，DDR2 SDRAM与上一代DDR SDRAM还有几方面区别。一是延迟问题，由于同等核心频率下，DDR2的实际频率两倍于DDR，但延迟仍保持不变，故在实际频率相同的情况下，DDR2的延迟高于DDR。二是DDR2内存采用了新的FBGA封装形式，而且区别于DDR SDRAM的2.5V的工作电压，DDR2 SDRAM的工作电压为1.8V。这样在更低的发热量和功耗的基础上，带来了更好的性能。

从DDR2内存标准的提出，到DDR2 SDRAM成为市场主流，用了比较长的时间。事实上，对于接下来的DDR3和DDR4也是这样的。这是为什么呢？我们知道DDR SDRAM是在CPU主频不断提升，从而对内存性能提出了更高要求的基础上出现的。而近年来CPU的发展已经过了靠提升主频来提升性能的阶段，因此内存性能不再那么容易成为系统性能的瓶颈。另一方面，从一代DDR内存标准的提出，到在此标准下生产的第一批产品出现，再到这些产品价格能降到被主流市场接受的程度，企业的生产线需要变化，是需要时间的。

1. **DDR3 SDRAM**

JEDEC在2007年正式公布DDR3内存标准，DDR3 SDRAM仍是上一代DDR2 SDRAM的改进版，主要改进之处如下：

1. **逻辑Bank数量**

DDR2 SDRAM中有4Bank和8Bank的设计，目的就是为了应对未来大容量芯片的需求。而DDR3很可能将从2Gb容量起步，因此起始的逻辑Bank就是8个，另外还为未来的16个逻辑Bank做好了准备。

1. **封装（Packages）**

DDR3由于新增了一些功能，所以在引脚方面会有所增加，8bit芯片采用78球FBGA封装，16bit芯片采用96球FBGA封装，而DDR2则有60/68/84球FBGA封装三种规格。并且DDR3必须是绿色封装，不能含有任何有害物质。

1. **突发长度（BL，Burst Length）**

由于DDR3的预取为8bit，所以突发传输周期（BL，Burst Length）也固定为8，而对于DDR2和早期的DDR架构的系统，BL=4也是常用的，DDR3为此增加了一个4-bit Burst Chop（突发突变）模式，即由一个BL=4的读取操作加上一个BL=4的写入操作来合成一个BL=8的数据突发传输，届时可通过A12地址线来控制这一突发模式。而且需要指出的是，任何突发中断操作都将在DDR3内存中予以禁止，且不予支持，取而代之的是更灵活的突发传输控制（如4bit顺序突发）。

1. **寻址时序（Timing）**

就像DDR2从DDR转变而来后延迟周期数增加一样，DDR3的CL周期也将比DDR2有所提高。DDR2的CL范围一般在2至5之间，而DDR3则在5至11之间，且附加延迟（AL）的设计也有所变化。DDR2时AL的范围是0至4，而DDR3时AL有三种选项，分别是0、CL-1和CL-2。另外，DDR3还新增加了一个时序参数——写入延迟（CWD），这一参数将根据具体的工作频率而定。

1. **新增功能——重置（Reset）**

重置是DDR3新增的一项重要功能，并为此专门准备了一个引脚。DRAM业界已经很早以前就要求增这一功能，如今终于在DDR3身上实现。这一引脚将使DDR3的初始化处理变得简单。当Reset命令有效时，DDR3内存将停止所有的操作，并切换至最少量活动的状态，以节约电力。在Reset期间，DDR3内存将关闭内在的大部分功能，所以有数据接收与发送器都将关闭。所有内部的程序装置将复位，DLL（延迟锁相环路）与时钟电路将停止工作，而且不理睬数据总线上的任何动静。这样一来，将使DDR3达到最节省电力的目的。

1. **新增功能——ZQ校准**

ZQ也是一个新增的脚，在这个引脚上接有一个240欧姆的低公差参考电阻。这个引脚通过一个命令集，通过片上校准引擎（ODCE，On-Die Calibration Engine）来自动校验数据输出驱动器导通电阻与ODT的终结电阻值。当系统发出这一指令之后，将用相应的时钟周期（在加电与初始化之后用512个时钟周期，在退出自刷新操作后用256时钟周期、在其他情况下用64个时钟周期）对导通电阻和ODT电阻进行重新校准。

1. **参考电压分成两个**

对于内存系统工作非常重要的参考电压信号VREF，在DDR3系统中将分为两个信号。一个是为命令与地址信号服务的VREFCA，另一个是为数据总线服务的VREFDQ，它将有效的提高系统数据总线的信噪等级。

1. **根据温度自动自刷新（SRT，Self-Refresh Temperature）**

为了保证所保存的数据不丢失，DRAM必须定时进行刷新，DDR3也不例外。不过，为了最大的节省电力，DDR3采用了一种新型的自动自刷新设计（ASR，Automatic Self-Refresh）。当开始ASR之后，将通过一个内置于DRAM芯片的温度传感器来控制刷新的频率，因为刷新频率高的话，消电就大，温度也随之升高。而温度传感器则在保证数据不丢失的情况下，尽量减少刷新频率，降低工作温度。不过DDR3的ASR是可选设计，并不见得市场上的DDR3内存都支持这一功能，因此还有一个附加的功能就是自刷新温度范围（SRT，Self-Refresh Temperature）。通过模式寄存器，可以选择两个温度范围，一个是普通的的温度范围（例如0℃至85℃），另一个是扩展温度范围，比如最高到95℃。对于DRAM内部设定的这两种温度范围，DRAM将以恒定的频率和电流进行刷新操作。

1. **局部自刷新（RASR，Partial Array Self-Refresh）**

这是DDR3的一个可选项，通过这一功能，DDR3内存芯片可以只刷新部分逻辑Bank，而不是全部刷新，从而最大限度的减少因自刷新产生的电力消耗。这一点与移动型内存（Mobile DRAM）的设计很相似。

1. **点对点连接（P2P，Point-to-Point）**

这是为了提高系统性能而进行了重要改动，也是与DDR2系统的一个关键区别。在DDR3系统中，一个内存控制器将只与一个内存通道打交道，而且这个内存通道只能一个插槽。因此内存控制器与DDR3内存模组之间是点对点（P2P，Point-to-Point）的关系（单物理Bank的模组），或者是点对双点（P22P，Point-to-two-Point）的关系（双物理Bank的模组），从而大大减轻了地址/命令/控制与数据总线的负载。而在内存模组方面，与DDR2的类别相类似，也有标准DIMM（台式PC）、SO-DIMM/Micro-DIMM（笔记本电脑）、FB-DIMM2（服务器）之分，其中第二代FB-DIMM将采用规格更高的AMB2（高级内存缓冲器）。不过目前有关DDR3内存模组的标准制定工作刚开始，引脚设计还没有最终确定。

1. **DDR4 SDRAM[[4]](#endnote-4)**

继DDR3 SDRAM以后，随着处理器等部件的发展，市面上计算机对RAM的传输速率要求也越来越高，这催生了下一代内存技术标准DDR4 SDRAM的诞生。JEDEC在2012年公布了DDR4 SDRAM的标准，除了在数据传输率、功耗上面有所改进以外，它还会采用堆叠封装来增大单颗芯片的容量。这项技术在DDR4中被称作3DS（3 -Dimensional Stack）。DDR4中，采用硅穿孔后的多层芯片中，只有一个主DRAM，其余的都是从DRAM（最多可以叠加7层，加上主DRAM，共8层）。芯片在工作时，只面向主DRAM，系统就像操作单层芯片那样操控所有的堆叠芯片。使用了3DS堆叠封装技术后，单条内存的容量最大可以达到当时产品的8倍之多。即使技术不成熟只能使用4层堆叠，DDR4内存至少可以达到单条32GB，双通道64GB，基本可以满足接下来三五年内的内存容量需求。

另外，DDR4在外观上也明显有别于上一代。一直以来，内存的金手指都是直线型的，而DDR4这一代，金手指变得弯曲了。以前平直的内存金手指插入内存插槽后，受到的摩擦力较大，因此内存存在难以拔出和难以插入的情况。为了解决这个问题，DDR4将内存下部设计为中间稍突出、边缘收矮的形状。在中央的高点和两端的低点以平滑曲线过渡。这样的设计既可以保证DDR4内存的金手指和内存插槽触点有足够的接触面，信号传输确保信号稳定的同时，让中间凸起的部分和内存插槽产生足够的摩擦力稳定内存。

1. **DDR技术发展趋势总结及前景展望**

纵观DDR技术近二十年的发展史，可以看到每一代新技术的研发都是由需求推动的。上世纪末若没有CPU主频的飞速发展，导致内存带宽不足，内存技术的发展恐怕会比现在慢很多。DDR作为SDRAM的改进版本发展到现在，每代的带宽成倍增长；而且随着封装技术改进和制程的发展，其功耗越来越低。这两点正是市场对于内存的期望。JEDEC明年即将公布的DDR5 SDRAM标准想必也会延续这个趋势。另外，DDR内存发展到现在，其核心频率几乎是没有提升的，每代带宽的提升靠的是预取位数的增加。换言之，在物理层面几乎没有重要的改进。可以预见，在未来可能会有一种采用新的工艺或技术制造的内存，它会在RAM领域逐步取代DDR SDRAM的地位。事实上，目前的3DXPoint和HBM2存储已经有这样的趋势了。但由于价格依然不能满足消费要求，近年内仍会是DDR SDRAM的天下。或许要等到DDR5 SDRAM在市场上普及的时候，这些新技术才能真正有一战之力吧。

1. 《忘掉SDRAM进入DDR内存的世界》，吴东，电脑爱好者，2002. [↑](#endnote-ref-1)
2. https://forum.mianbaoban.cn/t/ddrx/3989 [↑](#endnote-ref-2)
3. http://www.zouji.com/newsintron.asp?id=4415 [↑](#endnote-ref-3)
4. http://www.gzweix.com/article/sort0247/sort0268/sort0388/info-280995.html [↑](#endnote-ref-4)